

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-242443**

(43)Date of publication of application : **07.09.2001**

(51)Int.Cl.

G02F 1/1333

G02F 1/1335

G02F 1/1368

G09F 9/30

G09F 9/35

H01L 29/786

H01L 21/336

(21)Application number : **2000-055161**

(71)Applicant : **SONY CORP**

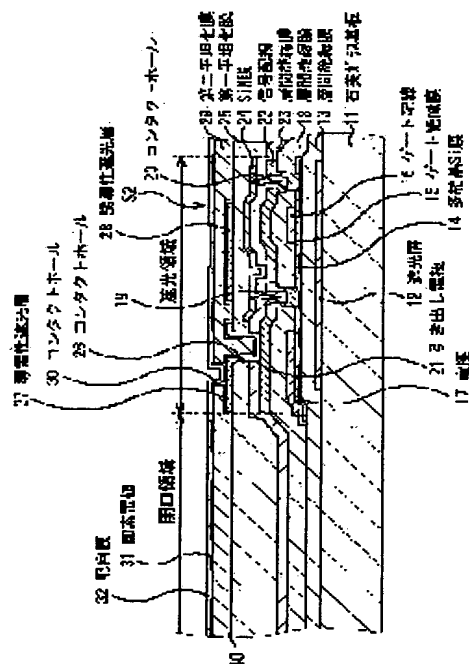
(22)Date of filing : **01.03.2000**

(72)Inventor : **HASHIMOTO MAKOTO  
KADOTA HISASHI  
FUKUMOTO HIROHIDE  
SATO TAKUO**

## (54) LIQUID CRYSTAL DISPLAY DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

**PROBLEM TO BE SOLVED:** To improve both of light-shielding property and aligning property of a transmission type display device, at the same time.  
**SOLUTION:** In the display device, a thin-film transistor for driving a pixel electrode 31 is formed on a substrate 11, and conductive light shielding layers 27, 28 are formed in the position corresponding to the upper layer of the thin-film transistor and to the lower layer of the pixel electrode 31. A first planarizing film 25 is formed to smooth the recesses and projections of the thin-film transistor, and the light-shielding layers 27, 28 are formed on the planarized surface. A second planarizing film 29 is formed to smooth the surface level difference in the light shielding layers 27, 28 and the pixel electrode 31 is formed on the planarized surface. By forming the structure of the conductive light shielding layers 27, 28 interposed between insulating planarizing films 29, 25, the light-shielding property and the aligning property of the transmission type display device can be improved.



**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-242443

(P2001-242443A)

(43)公開日 平成13年9月7日(2001.9.7)

(51)IntCl. <sup>7</sup>		識別記号	F I		ページ数 <sup>*</sup> (参考)
G 0 2 F	1/1333	5 0 5	G 0 2 F	1/1333	5 0 5 2 H 0 9 0
	1/1335	5 0 0		1/1335	5 0 0 2 H 0 9 1
	1/1368		G 0 9 F	9/30	3 3 8 2 H 0 9 2
G 0 9 F	9/30	3 3 8		9/35	5 C 0 9 4
	9/35		G 0 2 F	1/136	5 0 0 5 F 1 1 0
審査請求 未請求 請求項の数22 OL (全 12 頁) 最終頁に続く					

(21)出願番号 特願2000-55161(P2000-55161)

(22) 出願日 平成12年3月1日(2000.3.1)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 橋本 誠

東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

(72)発明者 門田 久志

東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

(74) 代理人 100092336

弁理士 鈴木 晴敏

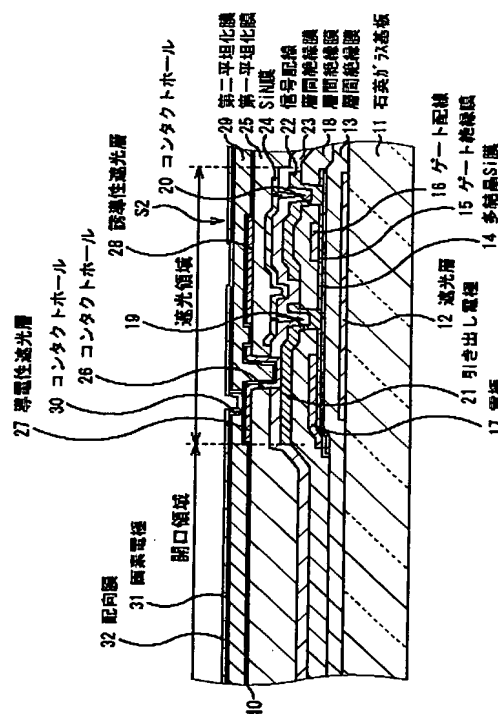
**最終頁に続く**

(54) 【発明の名称】 表示装置およびその製造方法

(57) 【要約】

【課題】 透過型表示装置の遮光性及び配向性を同時に改善する。

【解決手段】 表示装置は、基板 1 1 上に画素電極 3 1 の駆動用の薄膜トランジスタが設けられ、この薄膜トランジスタの上層でかつ画素電極 3 1 の下層の位置に導電性の遮光層 2 7、2 8 が設けられている。第一の平坦化膜 2 5 が薄膜トランジスタの凹凸を埋める様に形成されており、その平坦化された表面に遮光層 2 7、2 8 が配されている。第二の平坦化膜 2 9 が遮光層 2 7、2 8 の段差を埋める様に形成されており、その平坦化された表面に画素電極 3 1 が配されている。導電性の遮光層 2 7、2 8 を上下から絶縁性の平坦化膜 2 9、2 5 で挟み込む構造を採用することで、透過型表示装置の遮光性及び配向性を改善することが可能である。



(2)

## 【特許請求の範囲】

【請求項1】 基板上に画素電極の駆動用の薄膜トランジスタが設けられ、この薄膜トランジスタの上層でかつ上記画素電極の下層の位置に導電性の遮光層が設けられている表示装置において、

第一の平坦化膜が該薄膜トランジスタの凹凸を埋める様に形成されており、その平坦化された表面に該遮光層が配され、

第二の平坦化膜が該遮光層の段差を埋める様に形成されており、その平坦化された表面に該画素電極が配されていることを特徴とする表示装置。

【請求項2】 前記第一の平坦化膜は、絶縁膜を成膜した後その表面を化学機械研磨して平坦化したものであることを特徴とする請求項1記載の表示装置。

【請求項3】 前記第一の平坦化膜は、スピンコーティングで平滑に塗工した絶縁材料を焼成したものであることを特徴とする請求項1記載の表示装置。

【請求項4】 前記第二の平坦化膜は、絶縁膜を成膜した後その表面を化学機械研磨して平坦化したものであることを特徴とする請求項1記載の表示装置。

【請求項5】 前記第二の平坦化膜は、スピンコーティングで平滑に塗工した絶縁材料を焼成したものであることを特徴とする請求項1記載の表示装置。

【請求項6】 前記第二の平坦化膜は、有機樹脂を塗工したものであることを特徴とする請求項1記載の表示装置。

【請求項7】 電気的な接続を取るための端子領域が形成されており、該端子領域には第一の平坦化膜に開口したコンタクトホール部とこれを囲む平坦面部とが形成されており、

前記遮光層を構成する金属導電層は該コンタクトホール部を介して下層の配線に接続し、

前記画素電極を構成する透明導電層は第二の平坦化膜が除かれた該平坦面部で該金属導電層と接していることを特徴とする請求項1記載の表示装置。

【請求項8】 前記コンタクトホール部の開口面積は  $100\mu\text{m}^2$  以下であることを特徴とする請求項7記載の表示装置。

【請求項9】 前記コンタクトホール部は該端子領域に複数個形成されており、個々のコンタクトホール部は該平坦面部によって互いに隔てられていることを特徴とする請求項7記載の表示装置。

【請求項10】 前記平坦面部からは第二平坦化膜が除かれている一方、前記コンタクトホール部には第二平坦化膜が少くとも一部残留していることを特徴とする請求項7記載の表示装置。

【請求項11】 対向電極を形成した基板が所定の間隙を介して該画素電極を形成した基板に接合しており、該間隙に液晶が保持されていることを特徴とする請求項1記載の表示装置。

【請求項12】 基板上に画素電極の駆動用の薄膜トランジスタを形成し、この薄膜トランジスタの上層で且つ上記画素電極の下層の位置に導電性の遮光層を形成する表示装置の製造方法において、

第一の平坦化膜を該薄膜トランジスタの凹凸を埋める様に形成する第一平坦化工程と、

第一の平坦化膜の上に該遮光層を形成する第一処理工程と、

第二の平坦化膜を該遮光層の段差を埋める様に形成する第二平坦化工程と、

第二の平坦化膜の上に該画素電極を形成する第二処理工程とを行なうことを特徴とする表示装置の製造方法。

【請求項13】 前記第一平坦化工程は、絶縁膜を成膜した後その表面を化学機械研磨して平坦化することを特徴とする請求項12記載の表示装置の製造方法。

【請求項14】 前記第一平坦化工程は、スピンコーティングで平滑に塗工した絶縁材料を焼成することを特徴とする請求項12記載の表示装置の製造方法。

【請求項15】 前記第二平坦化工程は、絶縁膜を成膜した後その表面を化学機械研磨して平坦化することを特徴とする請求項12記載の表示装置の製造方法。

【請求項16】 前記第二平坦化工程は、スピンコーティングで平滑に塗工した絶縁材料を焼成することを特徴とする請求項12記載の表示装置の製造方法。

【請求項17】 前記第二平坦化工程は、有機樹脂を塗工することを特徴とする請求項12記載の表示装置の製造方法。

【請求項18】 電気的な接続を取るための端子領域を形成し、且つ該端子領域に対して第一の平坦化膜に開口したコンタクトホール部とこれを囲む平坦面部とを形成する端子工程を含み、

前記第一処理工程は、該遮光層を構成する金属導電層を該コンタクトホール部を介して下層の配線に接続する工程を含み、

前記第二処理工程は、該画素電極を構成する透明導電層を第二の平坦化膜が除かれた該平坦面部で該金属導電層と接合する工程を含むことを特徴とする請求項12記載の表示装置の製造方法。

【請求項19】 前記端子工程は、該コンタクトホール部の開口面積を  $100\mu\text{m}^2$  以下に形成することを特徴とする請求項18記載の表示装置の製造方法。

【請求項20】 前記端子工程は、該コンタクトホール部を該端子領域に複数個形成し、個々のコンタクトホール部を該平坦面部によって互いに隔てる様にすることを特徴とする請求項18記載の表示装置の製造方法。

【請求項21】 前記端子工程は、平坦面部から第二平坦化膜を除く一方、前記コンタクトホール部に第二平坦化膜を少くとも一部残すことを特徴とする請求項18記載の表示装置の製造方法。

【請求項22】 対向電極を形成した基板を所定の間隙

(3)

を介して該画素電極を形成した基板に接合し、該間隙に液晶を保持する組立工程を含むことを特徴とする請求項12記載の表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、表示装置及びその製造方法に関する。特に、画素電極の駆動用の薄膜トランジスタの上層で且つ画素電極の下層の位置に導電性の遮光膜が設けられている液晶表示装置に適用して好適なものである。

【0002】

【従来の技術】液晶表示装置は平面型ディスプレイとして広く用いられている。この液晶表示装置における画素電極の駆動用の薄膜トランジスタ(TFT)としては、従来はアモルファスシリコン(a-Si)TFTが用いられていたが、最近では多結晶SiTFTが多く用いられる様になっている。多結晶SiTFTはa-SiTFT程光感度は高くないにしても、近年の液晶表示装置では、例えばプロジェクタの様に大光量の元での使用が増加し、多結晶SiTFTでも光リーク電流が無視できなくなっている。光リーク電流は、コントラスト低下やクロストーク、フリッカなどの画質劣化をもたらす。

【0003】

【発明が解決しようとする課題】従来から、薄膜トランジスタの光リーク電流を抑制する為、TFTを金属などの遮光膜で被覆する構成が採用されている。一般に、遮光膜は下地の絶縁膜を介して薄膜トランジスタの上に成膜される。更に、金属製の遮光膜の上に別の絶縁膜を介して画素電極が形成される。しかしながら、薄膜トランジスタは表面に凹凸を有しており、絶縁膜を介してこれが遮光膜に影響を与える。特に、凹凸の傾斜の上に位置する遮光膜の部分は膜厚が薄くなる為、遮光性が損なわれる。又、遮光膜の段差が絶縁膜を介して画素電極の形成される表面に影響を与える。画素電極が形成される表面は液晶と接する部分であり、通常配向膜が形成されている。下方の遮光膜の影響で表面に段差が生じると、配向処理を基板全面に亘って均一に施すことが困難である。

【0004】

【課題を解決するための手段】上述した従来の技術の課題を解決する為に以下の手段を講じた。即ち、本発明は、基板上に画素電極の駆動用の薄膜トランジスタが設けられ、この薄膜トランジスタの上層で且つ上記画素電極の下層の位置に導電性の遮光層が設けられている表示装置において、第一の平坦化膜が該薄膜トランジスタの凹凸を埋める様に形成されており、その平坦化された表面に該遮光層が配され、第二の平坦化膜が該遮光層の段差を埋める様に形成されており、その平坦化された表面に該画素電極が配されていることを特徴とする。具体的には、前記第一の平坦化膜は、絶縁膜を成膜した後その

4

表面を化学機械研磨して平坦化したものである。或いは、前記第一の平坦化膜は、スピンコーティングで平滑に塗工した絶縁材料を焼成したものである。又、前記第二の平坦化膜は、絶縁膜を成膜した後その表面を化学機械研磨して平坦化したものである。或いは、前記第二の平坦化膜は、スピンコーティングで平滑に塗工した絶縁材料を焼成したものである。或いは、前記第二の平坦化膜は、有機樹脂を塗工したものである。

【0005】本表示装置は、電気的な接続を取るための端子領域が形成されており、該端子領域には第一の平坦化膜に開口したコンタクトホール部とこれを囲む平坦面部とが形成されており、前記遮光層を構成する金属導電層は該コンタクトホール部を介して下層の配線に接続し、前記画素電極を構成する透明導電層は第二の平坦化膜が除かれた該平坦面部で該金属導電層と接している。好ましくは、前記コンタクトホール部の開口面積は $100\mu\text{m}^2$ 以下である。又、前記コンタクトホール部は該端子領域に複数個形成されており、個々のコンタクトホール部は該平坦面部によって互いに隔てられている。

又、前記平坦面部からは第二平坦化膜が除かれている一方、前記コンタクトホール部には第二平坦化膜が少くとも一部残留している。一態様では、対向電極を形成した基板が所定の間隙を介して該画素電極を形成した基板に接合しており、該間隙に液晶が保持されている。

【0006】本発明によれば、導電性の遮光層は、薄膜トランジスタを被覆する第一の平坦化膜の上に形成するので、遮光層のステップカバレッジが良好となり、その厚みの均一性が向上する。この為、遮光層で十分な光のシールド機能を得ることができ、漏れ光の大幅な低減を図ることが可能である。これにより、高輝度の光照射の元でも光リーク電流の発生を抑えることができる。更に、本発明によれば、遮光膜の形成された面を第二の平坦化膜で被覆することにより、遮光膜の段差を埋めている。この平坦化された第二の平坦化膜の上に画素電極を形成するとともに、液晶に対する配向処理を施す。液晶に接する面が平滑化されているので、均一な配向処理を施すことができる。この様に、導電性の遮光層を上下から絶縁性の平坦化膜で挟み込む構造を採用することで、透過型液晶表示装置の遮光性及び配向性を改善することが可能である。

【0007】

【発明の実施の形態】以下、この発明の実施形態の一例について図面を参照しながら説明する。尚、実施形態の全図において、同一又は対応する部分には同一の符号を付す。図1はこの発明の実施形態による液晶表示装置のTFT基板の一例を示し、図2はこの液晶表示装置の全体構成の一例を示す。この液晶表示装置はアクティブマトリクス型の液晶表示装置である。

【0008】図1および図2に示すように、この液晶表示装置においては、遮光領域における石英ガラス基板1

(4)

5

1上に遮光層12が設けられている。この遮光層12は、例えば膜厚が50nmのリン(P)がドーブされた多結晶Si膜および例えば膜厚が200nmのWSi膜が順次積層された積層膜からなる。この遮光層12を覆うように例えばSiO<sub>2</sub>膜からなる層間絶縁膜13が設けられている。この層間絶縁膜13上には所定形状の多結晶Si膜14が設けられ、この多結晶Si膜14を覆うように例えばSiO<sub>2</sub>膜からなるゲート絶縁膜15が設けられている。このゲート絶縁膜15上にはゲート配線16が設けられている。図示は省略するが、多結晶Si膜14中にはゲート配線16に対して自己整合的にソース領域およびドレイン領域が形成されている。ゲート配線16からなるゲート電極とこれらのソース領域およびドレイン領域とにより、画素電極駆動用の多結晶Si TFTが構成されている。ドレイン領域の上方の部分におけるゲート絶縁膜15上には電極17が設けられている。この電極17とドレイン領域との間にゲート絶縁膜15を挟んだ構造により、保持容量素子が構成されている。

【0009】ゲート配線16および電極17は、例えば膜厚が100nmのPがドーブされた多結晶Si膜および例えば膜厚が100nmのWSi膜が順次重なった積層膜からなる。ゲート配線16および電極17を覆うように層間絶縁膜18が設けられている。この層間絶縁膜18およびゲート絶縁膜15の所定部分にはコンタクトホール19、20が設けられている。遮光領域における層間絶縁膜18上には、コンタクトホール19を通じて多結晶Si TFTのドレイン領域に接続された引き出し電極21が設けられているとともに、コンタクトホール20を通じて多結晶Si TFTのソース領域に接続されて信号配線22が接続されている。これらの引き出し電極21および信号配線22は、例えば膜厚が50nmのWSi膜、例えば膜厚が300nmのAl膜および例えば膜厚が50nmのWSi膜が順次重なった積層膜からなる。これらの引き出し電極21および信号配線22を覆うように例えばSiO<sub>2</sub>膜からなる層間絶縁膜23が設けられている。この層間絶縁膜23は、例えば常圧CVD法により成膜された膜厚が400nmのPSG膜からなる。この層間絶縁膜23上の所定部分にはプラズマCVD法により成膜された例えば膜厚が200nmのSiN膜24が設けられている。このSiN膜24は、主として、多結晶Si膜14中に存在するダングリングボンドを水素で不活性化して多結晶Si TFTの特性向上を図るための水素供給源となるものである。これらの層間絶縁膜23およびSiN膜24上に第一の平坦化膜25が設けられている。この第一平坦化膜25は、例えばTEOSを原料ガスとして用いたプラズマCVD法により成膜されたSiO<sub>2</sub>膜からなる。引き出し電極21上の所定部分における第一平坦化膜25および層間絶縁膜23にはコンタクトホール26が設けられてい

6

る。第一平坦化膜25の表面は、コンタクトホール26の部分を除いて、少なくとも0.5μm以下、好ましくは0.3μm以下の残留段差レベルに平坦化されている。この第一平坦化膜25の膜厚は、例えば、開口領域の部分で1.8±0.5μm、引き出し電極21上の部分で0.3μm程度である。

【0010】この表面が平坦な第一平坦化膜25上に導電性遮光層27、28が互いに分離して設けられている。導電性遮光層27は、コンタクトホール26を通じて引き出し電極21と接続されている。これらの導電性遮光層27、28は、例えば膜厚が250nmのTi膜からなる。これらの導電性遮光層27、28と引き出し電極21および信号配線22との重ね合わせにより、上方からの入射光に対して、画素開口領域以外の領域の全ての遮光がなされている。導電性遮光層27は後述の画素電極と接続され、導電性遮光層28は所定の共通電位に接続される。

【0011】導電性遮光層27、28を覆うように中間膜40を介して第二の平坦化膜29が設けられている。この第二平坦化膜29は、例えばシラノール化合物を原料液として用いたスピンコート法により成膜された膜厚が400nmのSiO<sub>2</sub>膜からなる。導電性遮光層27上の所定部分におけるこの第二平坦化膜29にはコンタクトホール30が設けられている。第二平坦化膜29上には、このコンタクトホール30を通じて導電性遮光層27と接続されて透明な画素電極31が設けられている。この画素電極31は、例えば膜厚が70nmのITOからなる。この画素電極31を覆うように液晶の配向膜32が設けられている。

【0012】図2に示すように、この様に構成されたTFT基板と、ガラス基板33の一主面上に対向電極としての透明電極34および液晶の配向膜35を順次積層した対向基板との間に液晶36が封入されている。場合によっては、両基板11、33の間に微小なスペーサを介在させて間隙寸法を一定に保つ。

【0013】次に、上述のように構成されたこの実施形態による液晶表示装置の製造方法について説明する。まず、図3に示すように、石英ガラス基板11上にPがドーブされた多結晶Si膜およびWSi膜を順次成膜した後、これらの膜をパターニングして遮光層12を形成する。次に、例えばCVD法により基板全面にSiO<sub>2</sub>膜からなる層間絶縁膜13を成膜する。次に、例えばCVD法により全面に多結晶Si膜14を成膜した後、この多結晶Si膜14をパターニングする。次に、例えばCVD法により基板全面にSiO<sub>2</sub>膜からなるゲート絶縁膜15を成膜した後、このゲート絶縁膜15を所定形状にパターニングする。次に、基板全面にPがドーブされた多結晶Si膜およびWSi膜を順次成膜した後、これらの膜をパターニングしてゲート配線16および容量素子用の電極17を形成する。

(5)

【0014】次に、例えばCVD法により基板全面に例えばSiO<sub>2</sub>膜からなる層間絶縁膜18を成膜する。次に、この層間絶縁膜18およびゲート絶縁膜15の所定部分をエッチング除去してコンタクトホール19、20を形成する。次に、基板全面にWSi膜、又はAl膜およびWSi膜を順次成膜した後、これらの膜をパターニングして引き出し電極21および信号配線22を形成する。次に、例えば常圧CVD法により基板全面にSiO<sub>2</sub>膜からなる層間絶縁膜23を成膜する。次に、例えばプラズマCVD法により基板全面にSiN膜24を成膜した後、このSiN膜24をパターニングする。

【0015】次に、例えばTEOSを原料ガスとして用いたプラズマCVD法により基板全面にSiO<sub>2</sub>膜からなる平坦用の第一平坦化膜25を成膜する。この第一平坦化膜25の膜厚は例えば2500nmとする。

【0016】次に、図4に示すように、第一平坦化膜25をCMP法により例えば厚さ約2200nm研磨して平坦化する。このCMP法による平坦化後の残留段差レベルは少なくとも0.5μm以下、条件次第では0.1μm以下とすることが可能である。CMP条件の一例を挙げると下記のとおりである。

【0017】

研磨荷重	4709f/cm <sup>2</sup>
チャック回転数	60rpm
テーブル回転数	4rpm
リテーナ高さ	840μm
研磨レート	500nm/分で4分研磨
ドレス方式	in-situドレス
スラリー	SS-25 (KOH液にシリカ粒を分散したスラリー) 1/2純水希釈液使用

【0018】次に、図1に示すように、第一平坦化膜25および層間絶縁膜23の所定部分をエッチング除去してコンタクトホール26を形成する。次に、例えば真空蒸着法やスパッタリング法等により基板全面にTi膜を成膜した後、このTi膜をパターニングして導電性遮光層27、28を形成する。この場合、Ti膜の成膜時には、下地の第一平坦化膜25の表面があらかじめ平坦化されていることにより、このTi膜、したがって導電性遮光層27、28のステップカバレッジは良好であり、均一な厚さとなる。

【0019】次に、遮光層27、28の上に中間膜40を介して第二平坦化膜29を形成する。本実施形態では、第二平坦化膜29を形成する為にSOG法を採用しており、図5に概略を示す。前工程で第一平坦化膜25の上に形成された遮光層27を覆う様に、まず中間膜40を形成する。この中間膜40は例えばP-TEOSで成膜し、その厚みは例えば100nm程度である。尚、遮光層27の厚みは例えば275nmである。この中間膜40の上にSOG法で第二平坦化膜29を成膜する。この際、中間膜40は第二平坦化膜29の剥離を防止す

る為に予め下地処理として形成されたものである。SOG法は、例えばシラノール化合物(R<sub>n</sub>Si(OH)<sub>4-n</sub>)とメタノールなどの溶媒からなる溶液である。このシラノール化合物溶液をスピンコーティングにより例えば400nmの厚みで塗工する。スピンコーティングを行なうことにより、塗工された膜の表面は十分に平滑化される。この後、80℃、150℃、200℃の各温度で順次60秒程度のベークを行ない、メタノールなどの溶媒を蒸発させる。この後、例えば400℃で30分窒素雰囲気中でアニールし、シラノール化合物を脱水縮合してガラス化する。この過程で、シラノール化合物に含まれるR基も焼き飛ばされる。

【0020】この後(2)に示す様に、第二平坦化膜29の所定部分をエッチング除去してコンタクトホール30を形成する。次に(3)に示す様に、基板全面にITO膜を例えば70nmの厚みで成膜した後、このITO膜をエッチングによりパターニングして画素電極31を形成する。この後図示しないが、基板全面に配向膜を成膜する。以上の様にしてTFT基板を製造した後、従来公知の方法に従ってプロセスを進め、図2に示す様に目的とする液晶表示装置を完成させる。

【0021】図6は、図5に示したSOG法で用いたシラノール化合物の一例を示す化学構造式であり、特にR基の部分を表わしている。このシラノール化合物は例えば東京応化製のOCD Type-7を用いることができる。

【0022】以上の様に、本実施形態によれば、CMP法により表面が平坦化された第一平坦化膜25上に導電性遮光層27、28を形成しているの、従来に比べてこれらの導電性遮光層27、28のステップカバレッジが向上し、均一な厚さとなる。この為、これらの導電性遮光層27、28による遮光性能が良好となり、漏れ光が抑制され、光リーク電流が大幅に減少することから、大光量下での使用でも、光リーク電流に起因する輝点欠陥やクロストークを大幅に低減することができ、画質低下を抑制することが可能になる。又、SOG法により表面が平坦化された第二平坦化膜29の上に画素電極を形成することで、配向膜の均一な処理が可能になる。即ち、第一平坦化膜25に形成された遮光層27、28を第二平坦化膜29で埋めることで段差を平坦化し、その上に画素電極31並びに配向膜を32形成している。平坦化された表面の上に配向膜32を作成することで、ラビングなど配向処理が基板全面に亘って均一に行なえる。これにより、ディスクリネーションなどを抑えることが可能となり、画質低下を抑制することができる。

【0023】上記の実施形態では、第一平坦化膜がCMP法により形成されており、薄膜トランジスタの凹凸を埋めている。前述した様に、このCMP法は、絶縁膜を成膜した後その表面を化学機械研磨して平坦化したものである。但し、本発明は、これに限られるものではない。

(6)

9

く、第一の平坦化膜を例えばSOG法で形成してもよい。又、上述の実施形態では、第二の平坦化膜はSOG法により形成されており、遮光層の段差を埋めている。このSOG法は、スピンコーティングで平滑に塗工した絶縁材料を焼成して、平坦化膜を形成するものである。但し、本発明はこれに限られるものではなく、第二平坦化膜をCMP法で作成してもよい。あるいは、アクリルなどの透明な有機樹脂を塗工及び硬化して第二平坦化膜を作成してもよい。一般に、平坦化膜は種々の方法で形成可能である。例えば、原料ガスとしてテトラエトキシシラン(TEOS)などを用いたプラズマCVD法や常圧CVD法などによる埋め込み性のよい成膜法を用いる方法、燐シリケートガラス(PSG)、ホウ素燐シリケートガラス(BPSG)などを成膜してからリフローさせる方法、スピンオンガラス(SOG)を用いた流動法、又は、絶縁膜を成膜してからエッチバックする方法、絶縁膜を成膜してから化学機械研磨(CMP)法により研磨する方法などが挙げられる。

【0024】図7は、液晶表示装置の参考例を示しており、図1に示した本発明の実施形態と対応する部分には対応する参照番号を付して理解を容易にしている。図1の実施形態と異なる点は、第二平坦化膜29の代わりに、通常の層間絶縁膜29aを用いていることである。この層間絶縁膜29aは、例えばプラズマCVD法で原料にTEOSを用いSiO<sub>2</sub>を例えば400nmの厚みで堆積したものである。この層間絶縁膜29aは導電性遮光膜27、28の段差を十分に埋めることができず、配向膜32の部分に傾斜が生じてしまう。図7では、この傾斜が生じた領域をS1、S2で表わしてある。配向膜32の表面に傾斜が生じると、ラビング処理などを均一に行なうことができない。即ち、液晶配向マージンが小さく、安定生産の為に配向に係る装置の管理を極めて厳密に行なう必要がある。例えば、ラビング装置のバフ材の交換頻度が極めて高くなり、生産性が低下する。なお、市場で要求される画質レベルが極めて高くなり、所謂液晶ギャップの均一化が必要になってきている。この為、TFT基板上にレジストなどの材料を用いた微細なスペーサを形成する技術(オンチップスペーサ、OCS)が一部導入されつつある。ところが、配向マージンの小さい図7に示した構造に、更にOCSでスペーサを形成すると、ディスクリネーションと呼ばれる液晶配向欠陥が多発してしまう。

【0025】この点に鑑み、本発明では特に第二平坦化膜29を用いている。即ち、第一平坦化膜25の上に形成した遮光膜27、28によって生じる段差を、再度第二平坦化膜29で平坦化乃至平滑化することにより、液晶配向を容易成らしめ且つOCS技術の導入を可能とする。この再度の平坦化の手法としては、前述した様にSOG技術を適用できるが、これに代えてCMP技術や有機材料を用いた平坦化技術を採用してもよい。アクリル

10

樹脂などの有機材料を用いて平坦化する場合には、SOGと同様にスピンコートを用いて有機樹脂溶液を塗布する。

【0026】図8は、図7に示した参考例の断面形状を示す顕微鏡写真図である。特に、図7の領域S1近傍を写したものであり、コンタクトホール26や30が写し出されている。顕微鏡写真から明らかな様に、領域S1の部分には斜めの段差が生じており、均一なラビング処理の障害となっている。

【0027】図9は、図1に示した本発明に係る表示装置の断面顕微鏡写真図であり、特に領域S2の部分拡大表示している。図9から明らかな様に、領域S2には何等顕著な段差が生じておらず、配向膜に対して均一なラビング処理を行なうことが可能である。

【0028】図10は、図8に示した参考例の表面状態を示す顕微鏡写真図である。ほぼ矩形の画素電極がマトリクス状に配列している。田の字型に組み合わせた4個の画素電極の中央に、微細なスペーサを配したOCS構造となっている。この参考例では、配向処理を均一に行なうことができず、ディスクリネーション(点欠陥)が発生している。

【0029】図11は、図1に示した表示装置の表面状態を示す顕微鏡写真図である。図10に示した参考例と同様にOCS構造を採用しているが、ディスクリネーションは何等発生していない。これは、第二平坦化膜を用いることで、ラビング処理が均一に行なえる様になったことがディスクリネーションの抑制に効果を有している為である。

【0030】ところで、アクティブマトリクス型の液晶表示装置の基板周辺部には、外部との電気接続を取る為にパッドなどの端子領域が形成されている。図12は、この端子領域の参考例を示す模式的な断面図である。図示する様に、端子領域には例えば10000μm<sup>2</sup>以上の広大な開口面積を有するコンタクトホール部CONLが形成されている。この端子領域では、ガラスなどからなる基板11の上に図1に示した層構造とほぼ同様の層構造が形成されている。即ち、基板11の上には遮光層12と同層の遮光層12a、層間絶縁膜13、ゲート配線16と同層の配線16a、層間絶縁膜18、信号配線22と同層の配線22a、遮光層27と同層の金属導電膜27a、画素電極31と同層の透明導電膜31aが順に重ねられている。前述したコンタクトホール部CONLは第一平坦化膜25に開口している。このコンタクトホール部CONLを介して金属導電層27aと配線22aが電気的に接続している。コンタクトホール部CONLからは第二平坦化膜29が除かれており、透明導電膜31aが金属導電膜27aと接している。透明導電膜31aの上に外部のフレキシブル基板の端子やプローブピンなどが接触する構成となっている。尚、コンタクトホール部CONLの内部には一部第二平坦化膜29を構成



(7)

11

する絶縁物質29xが残留している。ここで、第二平坦化膜29は前述した様にSOG法により成膜される。SOG法とは、そもそもシラノール化合物とメタノールなどの溶媒からなる溶液を用い、これをスピコートすることで平坦化(平滑化)が可能になる。従って、巨大なコンタクトホール部CONLの様な深い部分に溶液が溜まりやすい傾向がある。この為、通常 $10000\mu\text{m}^2$ 以上の広大な面積を有するパッド部分のコンタクトホール部CONLには厚い絶縁物質29xが残留してしまう。この為、第二平坦化膜29を形成した後、CONLから絶縁物質29xを除去する為に、エッチング処理時間が極めて長くなってしまふ。図12に示した例では、第二平坦化膜29を用いない場合に比べ、ドライエッチング時間が約2.5倍にもなり、生産性が大きく低下してしまう。

【0031】図13は、図12に示した端子領域の断面形状を示す顕微鏡写真図である。この断面状態は、第二平坦化膜形成後の状態を表わしたものである。巨大なコンタクトホール部CONLの内部に第二平坦化膜を構成する絶縁物質が大量に流れ込んでいる。これを除去する為に、ドライエッチング時間が極めて長くなってしまふ。

【0032】図14は、図13に示したコンタクトホール部CONLにおける平坦化膜厚を測定した結果を表わしている。縦軸に平坦化膜厚を示し、横軸に距離を取っている。この距離は、スピコートにおける回転中心に近い側のコンタクトホール側壁を基準とし、これから外側に向かって距離を測っている。グラフから明らかな様に、コンタクトホール部CONLの内部には大量の絶縁物質が流れ込んでいる。

【0033】図15は、図12に示した端子領域の不具合を改良した構成を表わしている。理解を容易にする為、図12に示した構成と対応する部分には対応する参照番号を付してある。図示する様に、端子領域には、第一の平坦化膜25に開口したコンタクトホール部CONSと、これを囲む平坦面部FLTとが形成されている。遮光層を形成する金属導電膜27aはコンタクトホール部CONSを介して下層の配線22aに接続している。一方、画素電極を構成する透明導電膜31aは第二平坦化膜29が除かれた平坦面部FLTで金属導電膜27aと接している。好ましくは、コンタクトホール部CONSの開口面積は $100\mu\text{m}^2$ 以下に制限されている。この様に微細化されたコンタクトホール部CONSは端子領域に複数個形成されており、分割化が図られている。個々のコンタクトホール部CONSは平坦面部FLTによって互いに隔てられている。平坦面部FLTからは第二平坦化膜29が除かれている一方、コンタクトホール部CONSには第二平坦化膜29を構成する絶縁物質29xが残留していても差し支えない。

【0034】各コンタクトホール部CONSの深さ寸法

12

Dは例えば $1.4\sim 2.0\mu\text{m}$ である。図12に示した参考例では、深さDのコンタクトホール部CONLに溜まった絶縁物質29xをほぼ完全に除去する為に、長いドライエッチング時間が必要であった。これに対し、図15に示した実施形態では、各コンタクトホール部CONSから絶縁物質29xを完全に除去する必要はないので、ドライエッチング時間は短縮化できる。図12の参考例で要するドライエッチング時間を2.5とすると、図15に示した構成ではドライエッチング時間が1.25まで短縮化できる。即ち、図15に示した構成では、平坦面部FLTの上に残った第二平坦化膜29のみを除去すればよい為、エッチング時間が短くなる。透明導電膜31aと金属導電膜27aの接触は平坦面部FLTで取る一方、金属導電膜27aと配線22aの接触は各コンタクトホール部CONSで取る。外部のプローブピンやフレキシブル基板は、端子領域の平坦面部FLTに接触することになる。一般に、FLTにおける接触抵抗は、各コンタクトホール部CONS内における接触抵抗に比べ高くなるので、端子領域におけるFLTの面積比はCONSの開口面積合計に比べ大きく取る様にすることが好ましい。

【0035】図16は、図15に示した端子領域の例を示す模式的な平面図である。3個の端子領域が描かれている。各端子領域には $100\mu\text{m}^2$ 以下の面積のコンタクトホール部CONSを複数個配置する。例えば、 $2\mu\text{m}$ 角( $4\mu\text{m}^2$ )のコンタクトホール部CONSを $10\mu\text{m}$ ピッチでマトリクス状に配置する構造とする。これにより、外部のプローブピンと配線22aを電氣的に接触させる。尚、参考の為図12に示したコンタクトホール部CONLの外形を合せて示しておく。

【0036】

【発明の効果】以上説明したように、本発明によれば、導電性の遮光層を第一平坦化膜の上に形成することにより、導電性遮光層による遮光性能の向上を図り、光リーク電流による画質低下を抑えることができる。又、導電性の遮光層を第二平坦化膜で平坦化した上で画素電極や配向膜を形成している。これにより、配向状態が大幅に改善可能である。配向処理におけるプロセスマージンが拡大する為生産性が向上するとともに、表示品位も大幅に改善可能である。この様に、導電性の遮光層を上下から二層の平坦化膜で挟持する構成とすることにより、遮光性能の改善及び表示品質の改善が可能になる。特に、第二平坦化膜を用いることで、TFT基板上に微細なスペーサを形成しても、液晶の配向が乱れることがなくなる。

【図面の簡単な説明】

【図1】本発明の実施形態による液晶表示装置のTFT基板を示す断面図である。

【図2】本発明の実施形態による液晶表示装置の全体構成を示す断面図である。

(8)

13

【図3】本発明の実施形態による液晶表示装置の製造方法を説明する為の断面図である。

【図4】本発明の実施形態による液晶表示装置の製造方法を説明する為の断面図である。

【図5】本発明の実施形態による液晶表示装置の製造方法を説明する為の工程図である。

【図6】シラノール化合物の一例を示す化学構造図である。

【図7】液晶表示装置の参考例を示す断面図である。

【図8】参考例の顕微鏡写真図である。

【図9】本発明に係る液晶表示装置の顕微鏡写真図である。

【図10】参考例の顕微鏡写真図である。

【図11】本発明に係る液晶表示装置の顕微鏡写真図である。

【図12】液晶表示装置の周辺部に形成される端子領域

を示す参考図である。

【図13】図12に示した端子領域の顕微鏡写真図である。

【図14】図12に示した端子領域における平坦化膜の厚み分布を示すグラフである。

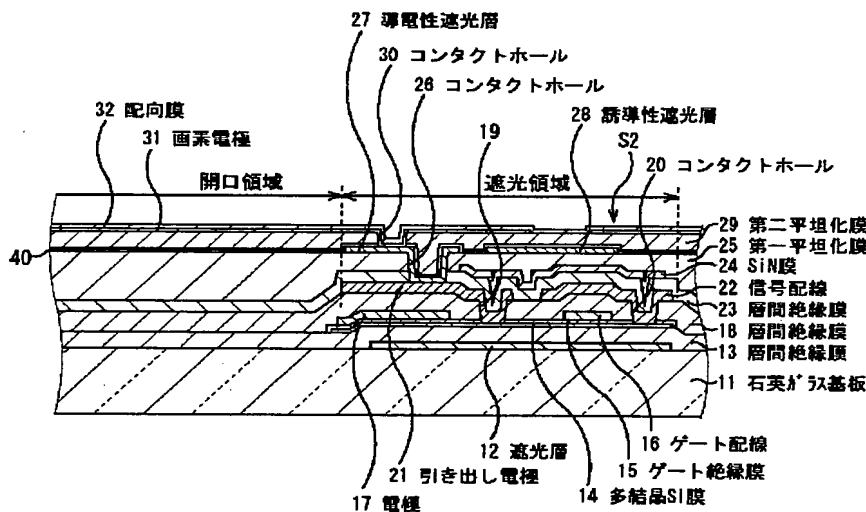
【図15】本発明に係る表示装置に形成された端子領域の実施形態を示す模式的な部分断面図である。

【図16】図15に示した端子領域の平面図である。

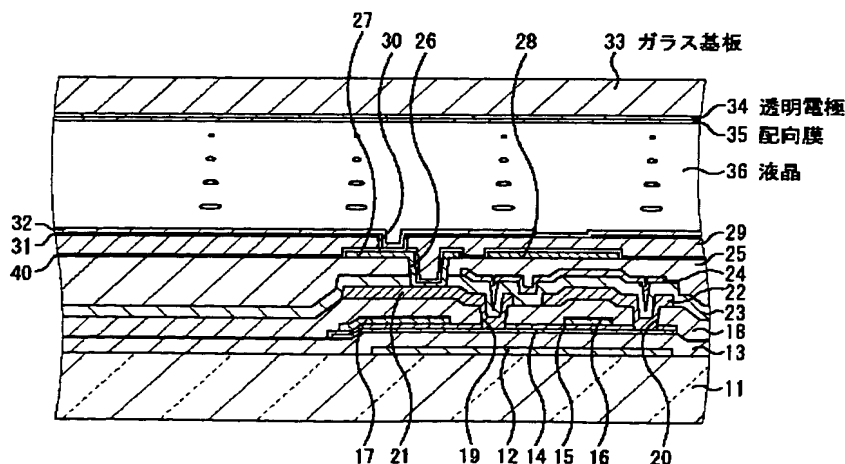
【符号の説明】

11・・・ガラス基板、12・・・遮光層、13、18、23・・・層間絶縁膜、14・・・多結晶Si膜、16・・・ゲート配線、19、20、26、30・・・コンタクトホール、25・・・第一平坦化膜、29・・・第二平坦化膜、27、28・・・導電性遮光層、31・・・画素電極、33・・・ガラス基板、34・・・対向電極、36・・・液晶

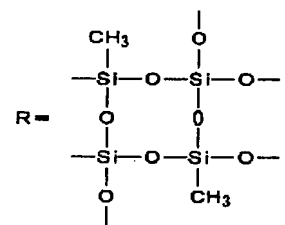
【図1】



【図2】

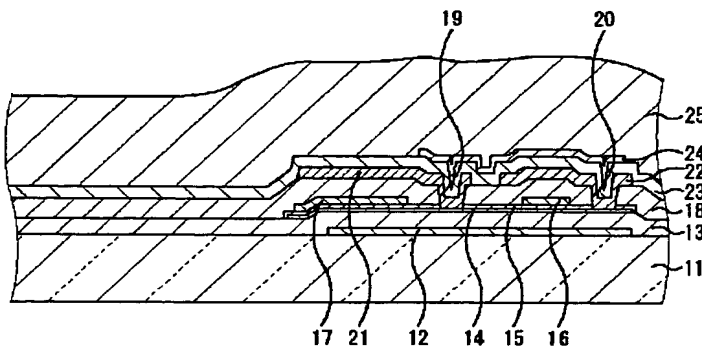


【図6】

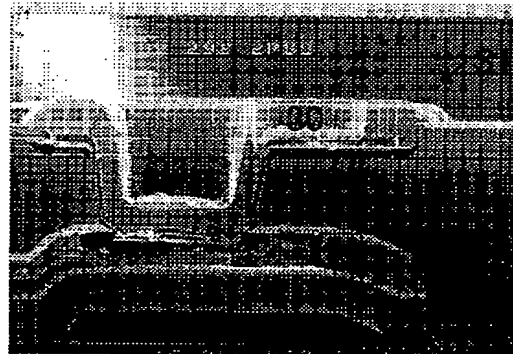


(9)

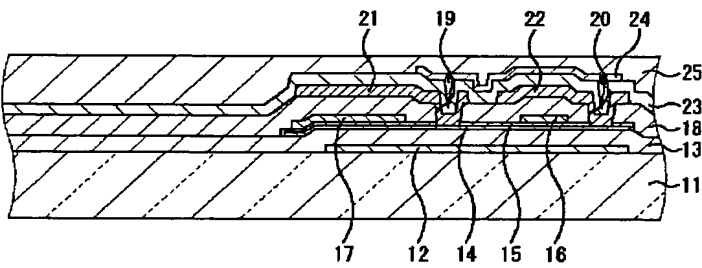
【図3】



【図8】



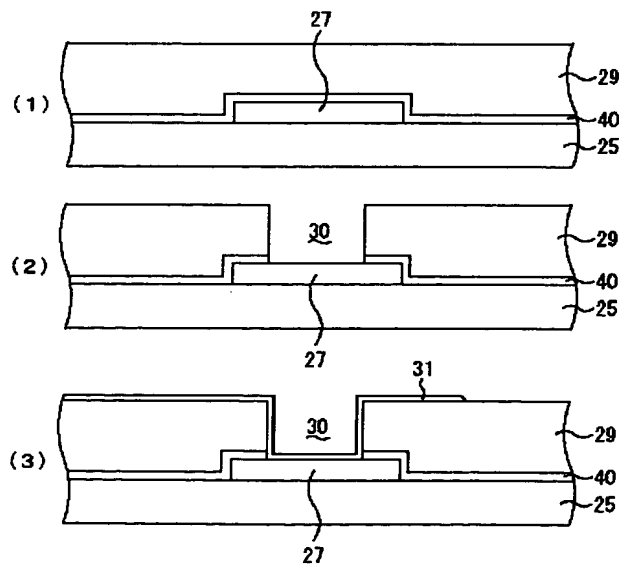
【図4】



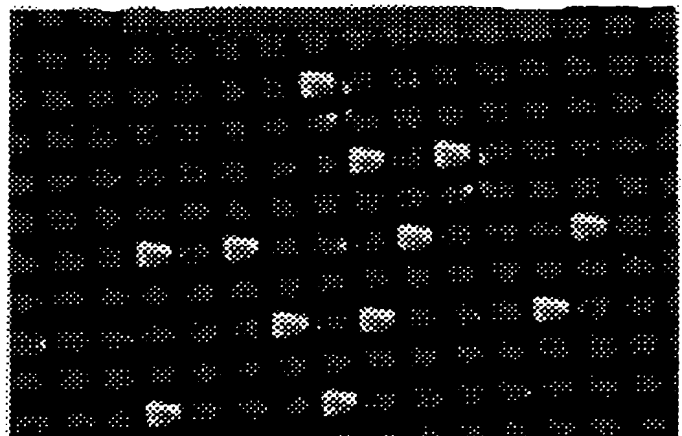
【図9】



【図5】

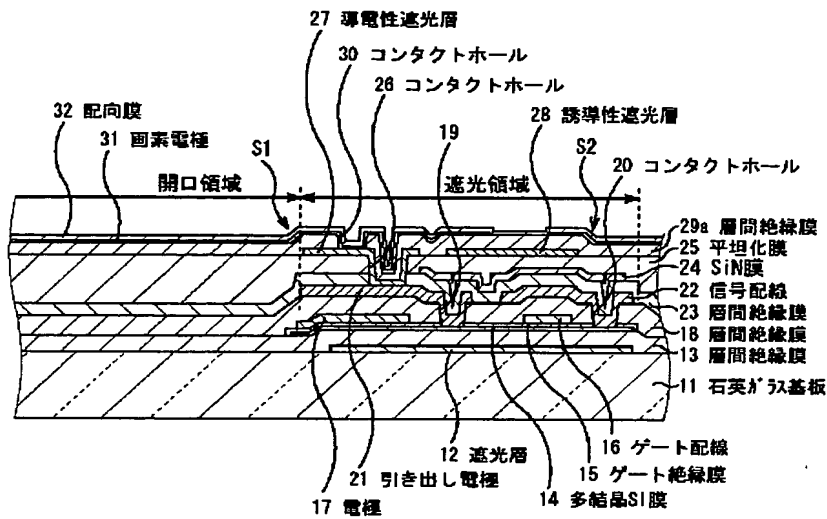


【図10】

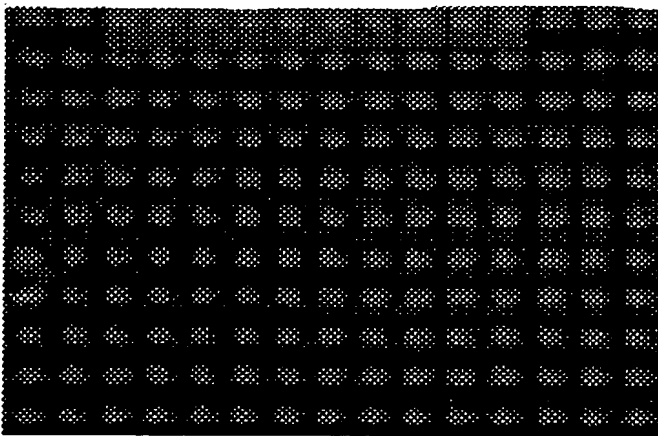


(10)

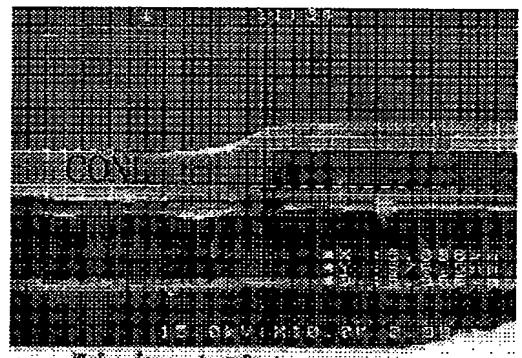
【図7】



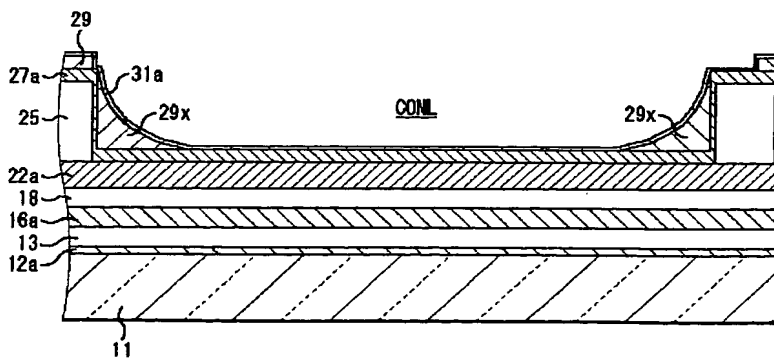
【図11】



【図13】

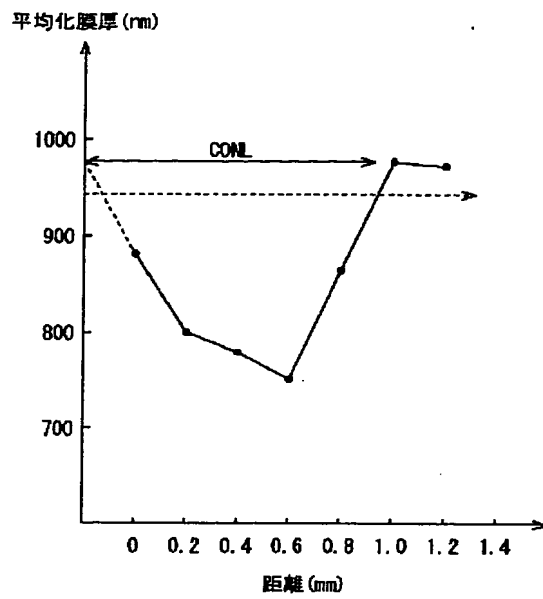


【図12】

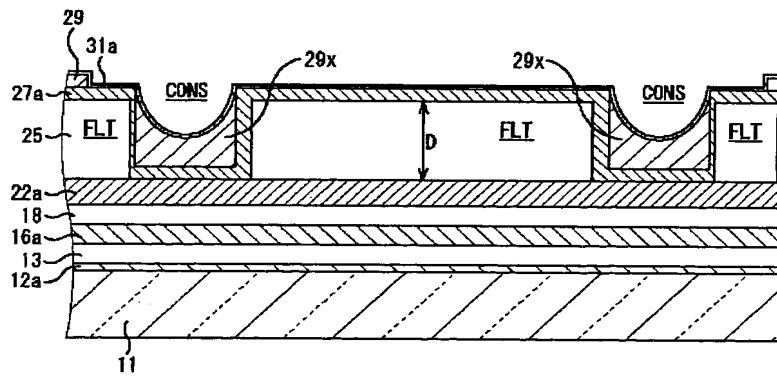


(11)

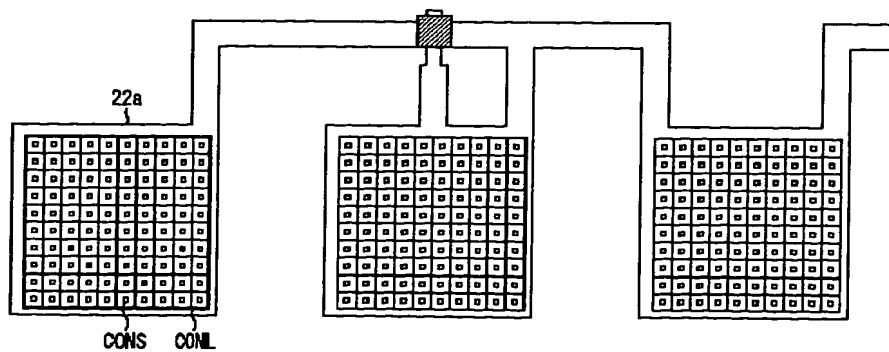
【図14】



【図15】



【図16】



(12)

フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マコード' (参考)
H O 1 L 29/786		H O 1 L 29/78	6 1 9 B
21/336			6 2 7 A
(72) 発明者 福元 浩英		F タ-ム (参考)	2H090 HA07 HB07X HD03 LA04
鹿児島県国分市野口北5番1号 ソニー国			2H091 FA34Y GA13 GA16 LA30
分株式会社内			2H092 GA29 JA24 JA34 JA46 JB52
(72) 発明者 佐藤 拓生			JB58 KA04 KA05 KA10 KB15
東京都品川区北品川6丁目7番35号 ソニ			MA05 MA07 MA10 MA27 NA04
一株式会社内			NA19 NA29
			5C094 AA09 AA16 BA03 BA43 CA19
			EA04 EB02 ED15 FB12 FB15
			GA10
			5F110 AA18 AA30 BB02 CC02 DD03
			DD13 EE05 EE09 FF02 FF29
			GG02 GG13 GG44 HL03 HL05
			HL12 NN03 NN04 NN23 NN24
			NN25 NN35 NN36 NN42 NN44
			NN45 NN46 NN48 NN54 NN72
			NN73 QQ11 QQ19 QQ23